

ブロックダイアグラムエディタ シンボルのアップデート

Active-HDL アプリケーションノート

初めに

HDL ソースコードをシンボル化してブロックダイアグラムエディタに配置後、ソースコードやシンボルの内容を変更して相互に更新するために Compare Interface ウィンドウがあります。

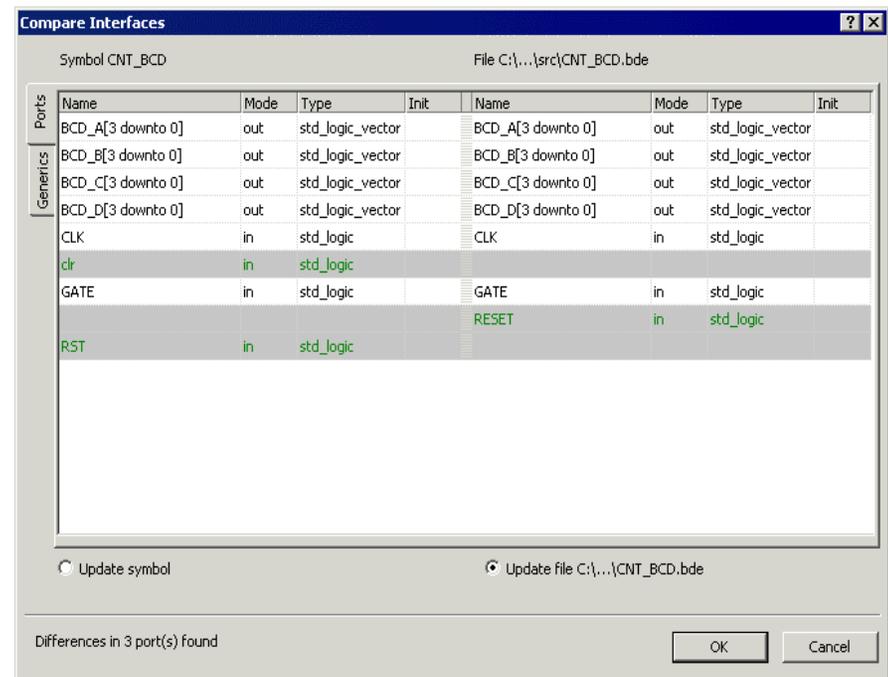
本アプリケーションノートでは、Compare Interface ウィンドウを使用した自動更新の方法について説明します。

ウィンドウの起動

- Compare Interfaces ウィンドウではシンボルとその内容に相違があるかどうかを表示します。ウィンドウには Ports タブと Generics タブまたは Parameters タブがあります。
- ウィンドウの起動方法
 - ブロックダイアグラム上のシンボルからの起動: シンボルを右クリックし、ポップアップメニューから Compare Symbol with Contents を選択
 - 変更したソースファイルからの起動: メニュー | Design | Compare Document with Symbol を選択
 - ソースファイルが SystemC の場合は対応していません。

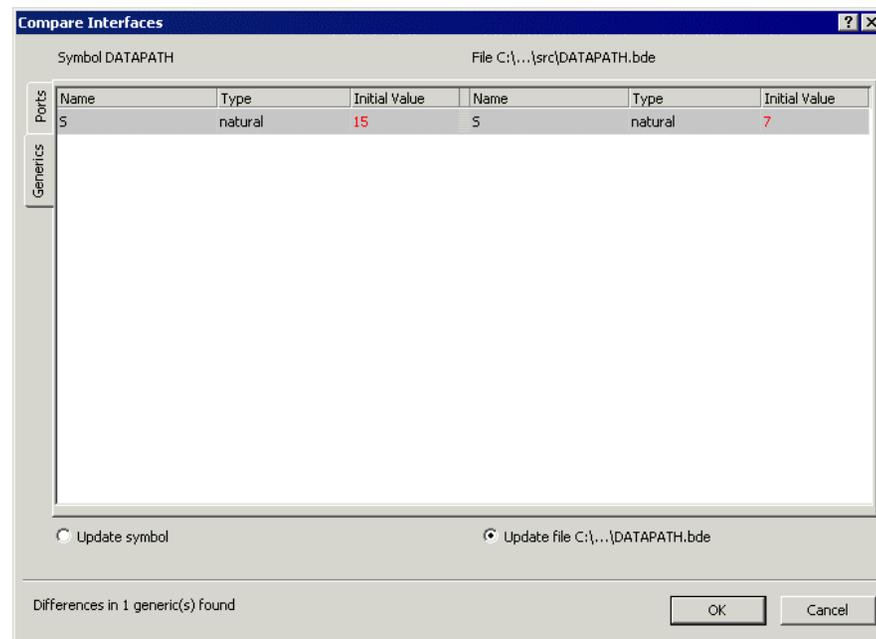
Ports タブ

- シンボルのピン情報が左に、ファイルのピン情報が右に表示されます。
- 相違点がある場合はグレーで表示します。
- ファイルを変更し、シンボルを更新させる場合は Update symbol ラジオボタンにチェックし、OK ボタンを押します。
- シンボルを変更し、ファイルを更新する場合は、Update file ラジオボタンにチェックし、OK ボタンを押します。



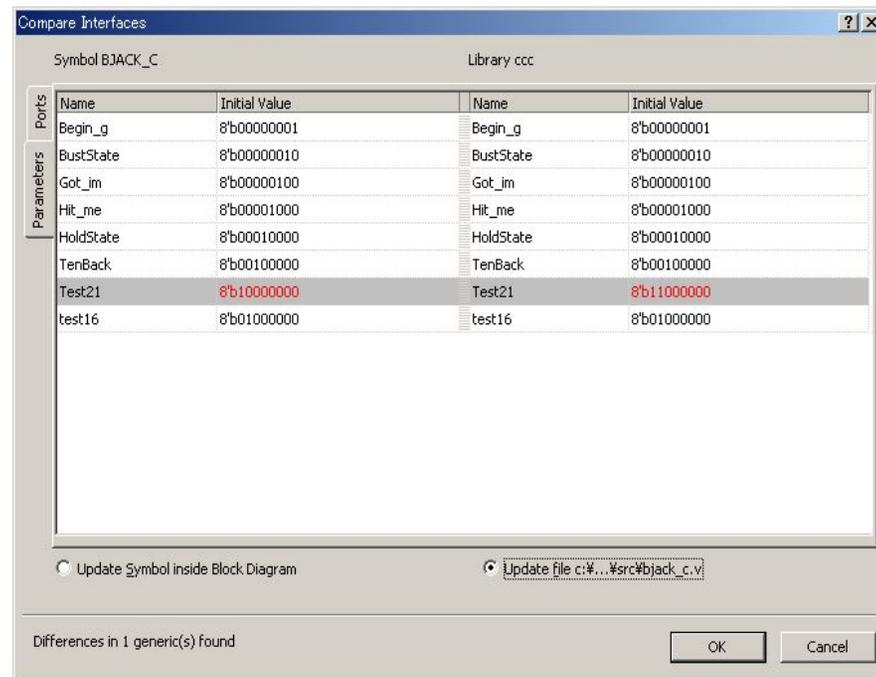
Generics タブ (VHDL)

- シンボルで定義されたジェネリックが左に、ファイルのジェネリックが右に表示されます。
- 相違点がある場合は赤で表示します。
- ファイルを変更し、シンボルを更新させる場合は Update symbol ラジオボタンにチェックし、OK ボタンを押します。
- シンボルを変更し、ファイルを更新する場合は、Update file ラジオボタンにチェックし、OK ボタンを押します。



Parameters タブ (Verilog)

- シンボルで定義されたパラメータが左に、ファイルのパラメータが右に表示されます。
- 相違点がある場合は赤で表示します。
- ファイルを変更し、シンボルを更新させる場合は Update symbol ラジオボタンにチェックし、OK ボタンを押します。
- シンボルを変更し、ファイルを更新する場合は、Update file ラジオボタンにチェックし、OK ボタンを押します。



注意点1

- ソールファイルに下記コメントがない場合は、次の操作が出来ませんので、ご注意ください。
 - VHDL の場合
--{ entity {entity_name} architecture {architecture_name} }
 - Verilog の場合
//{{module {module_name}}
- コメントはソースファイルの任意の場所にかまいません。
- Active-HDL のVHDL/Verilog ソースファイルウィザードで作成したファイルには上記コメントが挿入されます。
- 出来ない操作
 - ソースファイルからの Compare Interfaces ウィンドウ起動
(メニュー | Design | Compare Document with Symbol の選択)
 - Compare Interfaces ウィンドウでの Update file ラジオボタンのチェック

注意点2

- HDL ソースコードに変更を加えてシンボルをアップデートする場合、HDL ソースコードをコンパイルして生成されるライブラリとシンボル情報との差異を確認します。ソースコード変更後にシンボルをアップデートする場合は、事前に再コンパイルを行って下さい。